中華民國專利證書
發明第 I 276981 號

發明名稱：一種快速運算含電阻迴路之高速積體電路RLC互連線路系統動差之方法

專利權人：長庚大學

發明人：李恆哲、朱家齊、馮武雄、賴銘宏

專利權期間：自2007年3月21日至2024年6月7日止

上發明業經專利權人依專利法之規定取得專利權

經濟部智慧財產局
局長 蔡練生

中華民國96年3月21日
【54】名稱： 一種快速運算含電阻迴路之高速積體電路RLC互連線路系統動差之方法

**METHOD OF MOMENT COMPUTATION IN RLC INTERCONNECTS OF HIGH SPEED VLSI WITH RESISTOR LOOP**

【21】申請案號：093116448
【22】申請日：中華民國93(2004)年6月8日
【11】公開編號：200426633
【43】公開日：中華民國93(2004)年12月1日

【72】發明人： 李恆哲 LEE, HERNG JER；朱家齊 CHU, CHIA CHI；馮武雄 FENG, WU SHIUNG；
                     賴銘宏 LAI, MING HONG

【71】申請人： 長庚大學 CHANG GUNG UNIVERSITY
                      桃園縣龜山鄉文化一路259號

【74】代理人：

[57]申請專利範圍：

1. 一種快速運算含電阻迴路之高速積體電路 RLC 互連線路系統動差之方法，當互連線路包含電阻電路架構時，其線路中第 k 階電壓動差為：

\[ V_{f,k} = V_{f,k}^{(r)} - \frac{V_{oc}}{R_{link} + R_{th}} \cdot v_{k}(t) \text{ for } n_j \in N \]

其中，

- \( n_j \) 表示電路模型中第 j 個節點；
- \( N \) 表示電路模型中所有節點之集合；
- \( V_{f,k}^{(r)} \) 表示電路分割出生成樹部份，所

貢獻 \( n_j \) 節點之第 k 階電壓動差；

\( V_{f,k}^{(r)} \) 表示電路分割出電阻連路部份，

所貢獻 \( n_j \) 節點之電壓動差，其數值

並不隨階數而變更；

\( V_{oc} \) 表示電阻連路所連結之兩端，在

電阻電路 \( R_{link} \) 開路時之電壓差；

\( R_{th} \) 表示將所有電壓源、電流源設為

0 後，再在 \( R_{link} \) 置換為一安培電流流

源時，在 \( R_{link} \) 雙端所觀察到之戴維寧

等效電阻值；
V_{k}为电路中节点n_{k}上第k阶电压差；
而其处理多重电阻链路之问题，乃应用循环二元决定图，分别求解及储存电路进行电阻链路开路及电路
进行戴维宁等效电路化简步驟之系统动差；其中，
\( f_{O} \) 表示将电路中电阻链路 \( R_{\text{link}} \) 开路，以计算电路中各节点之动态差；
\( f_{T} \) 表示将电路以戴维宁等效电路取代，由 \( R_{\text{link}} \) 两端观察其戴维宁等效

2. 如申请专利范围第1项所述之一种快速运算含电容电路之高速电路
步骤简，本演算法仅需储存 O.O…O.T、O.O…O.T、…O.O.T、O.T、
T之系统动差，以重叠原理更新 O.O…O.O、O.O…O.O、…O.O.O、
O.O、O电路之系统动差；其中，O.O…O.T 表示针对电路中个电
阻链路 \( R_{\text{link}} \) 一一进行开路计算，並
於最後一個电场链路 \( R_{\text{link}} \) 進行戴维奈
等效电路计算，以求得各节点之

3. 如申请专利范围第2项所述之一种快速运算含电容电路之高速电路
RLC 互连电路系统动差之方法，其中，其循序二元决定图可进一步化
简为简化循序二元决定图，以减少
其运算複雜度；其中，於同一层
且最後一步骤为戴维奈等效电路化
简（即 X.X…X.T，其中 X 代表 O 或
T）之电路架构均相同；而於同一层
且最後一步骤为电场链路开路（如 O.
T.O 与 T.O.O）之电路，其电路架构相
似，其相異点僅在於电源驅动位置
不同。

4. 步化简，本演算法仅需储存 O.O…O.
O.T，O.O…O.T，…O.O.T，O.T，
T之系统动差，以重叠原理更新 O.
O…O.O，O.O…O.O，…O.O.O、
O.O，O电路之系统动差；其中，O.
O…O.T 表示针对电路中个电
阻链路 \( R_{\text{link}} \) 一一进行开路计算，並
於最後一個电场链路 \( R_{\text{link}} \) 進行戴维奈
等效电路计算，以求得各节点之

5. 圖式簡單说明：
第一圖係為本發明之系統動差之流程圖。
第二圖係為本发明施行本发明之
演算工具的輸入方塊圖。
第三圖係為本发明包含电容链路
之 RLC 條状电路模型。
第四圖係為本发明包含電阻链路
之開路電壓及戴維寧等效電壓之第 k
階电路模型。
第五圖係為本发明运算包含单一
電阻链路之电路系统动差之流程圖。
第六圖係為本发明运算包含多重
電阻链路之电路系统动差之流程圖。
第七圖係為本发明建模簡化循序
二元決定圖之示意圖。
第八圖係為本发明中具有三條電
阻链路的电路模型，可驗証所提出演
算法之正確性。
第一图
第二圖
第五圖

第六圖
第七圖
1, 2, 3 為節點編號

第八圖