

【54】名稱：抗靜電之覆晶式矽半導體元件

【21】申請案號：094144710

【22】申請日：中華民國94(2005)年12月16日

【11】公開編號：200725868

【43】公開日：中華民國96(2007)年7月1日

【72】發明人：張連璧 CHANG, LIANN BE

【71】申請人：長庚大學 CHANG GUNG UNIVERSITY  
桃園縣龜山鄉文化一路259號

【74】代理人：林火泉

1

2

[57]申請專利範圍：

- 1.一種抗靜電之覆晶式矽半導體元件，包含：
  - 一基板；
  - 一矽控整流器(Silicon Controlled Reetifier, SCR)結構，設置於該基板上；及
  - 一矽半導體晶片，以覆晶方式設置於該矽控整流器上。
- 2.如申請範圍第1項所述之抗靜電之覆晶式矽半導體元件，其中該基板係

為陶瓷基板。

- 3.如申請範圍第1項所述之抗靜電之覆晶式矽半導體元件，其中該矽控整流器結構係包含一第一p型高摻雜區(p+)、一第一n型高摻雜區(n+)、一p型井(p-well)與一n型井(n-well)。
- 4.如申請範圍第1項所述之抗靜電之覆晶式矽半導體元件，其中該矽控整流器結構係包含一第一p型高摻雜區(p+)、一第一n型高摻雜區(n+)、一p
- 10.

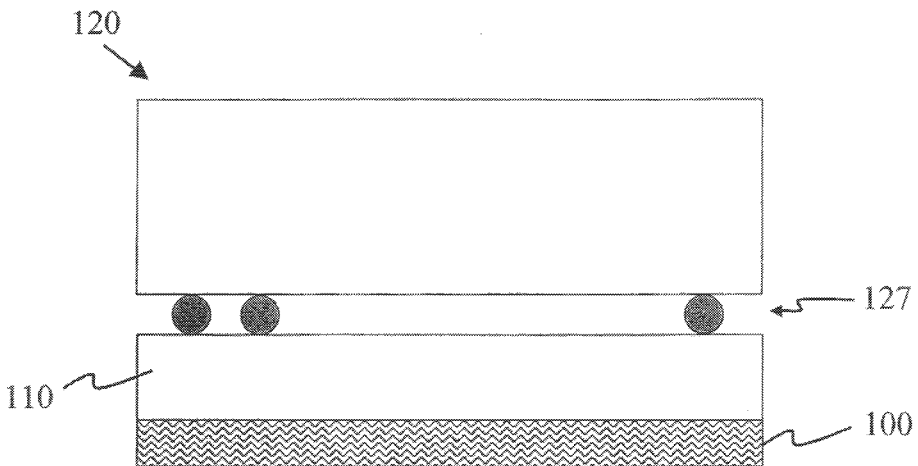
型井(p-well)、一 n 型井(n-well)以及一第二 p 型高摻雜區(p+)與一第二 n 型高摻雜區(n+)分別作為陽極與陰極。

- 5.如申請範圍第 1 項所述之抗靜電之覆晶式矽半導體元件，其中該矽控整流器結構係包含一第一 p 型高摻雜區(p+)、一第一 n 型高摻雜區(n+)、一 p 型井(p-well)、一 n 型井(n-well)以及一第三 p 型高摻雜區(p+)。
- 6.如申請範圍第 1 項所述之抗靜電之覆晶式矽半導體元件，其中該矽控整流器結構係包含一第一 p 型高摻雜區(p+)、一第一 n 型高摻雜區(n+)、一 p 型井(p-well)、一 n 型井(n-well)以及一第三 n 型高摻雜區(n+)。
- 7.如申請範圍第 1 項所述之抗靜電之覆晶式矽半導體元件，其中該矽控整流器結構係包含一第一 p 型高摻雜區(p+)、一第一 n 型高摻雜區(n+)、一 p 型井(p-well)、一 n 型井(n-well)、一第三 p 型高摻雜區(p+)以及一第二 p 型高摻雜區(p+)與一第二 n 型高摻雜區(n+)分別作為陽極與陰極。

- 8.如申請範圍第 1 項所述之抗靜電之覆晶式矽半導體元件，其中該矽控整流器結構係包含一第一 p 型高摻雜區(p+)、一第一 n 型高摻雜區(n+)、一 p 型井(p-well)、一 n 型井(n-well)、一第三 n 型高摻雜區(n+)以及一第二 p 型高摻雜區(p+)與一第二 n 型高摻雜區(n+)分別作為陽極與陰極。

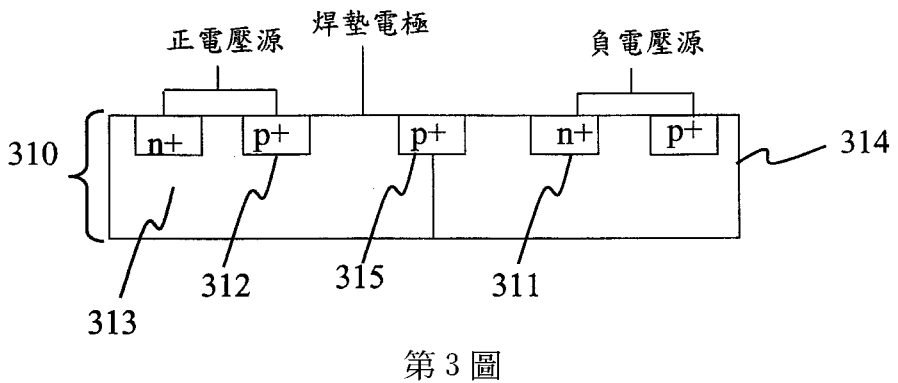
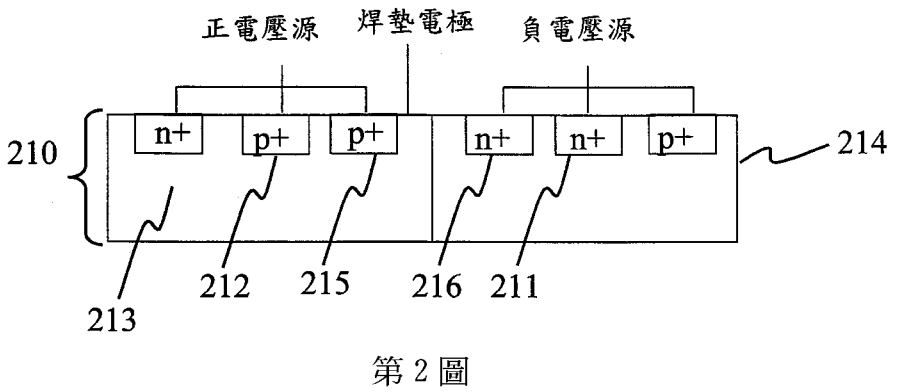
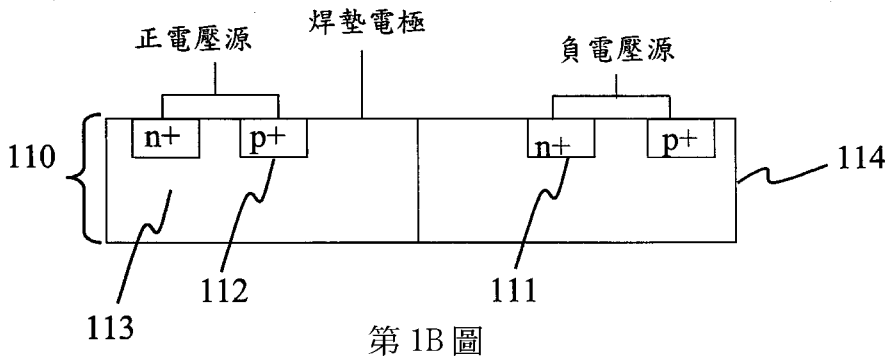
圖式簡單說明：

- 10. 第 1A 圖與第 1B 圖分別為本發明之第一實施例所提供之抗靜電之覆晶式矽半導體元件與矽控整流器結構之示意圖；
- 15. 第 2 圖係本發明之第二實施例所提供之矽控整流器結構之示意圖；
- 20. 第 3 圖係本發明之第三實施例所提供之矽控整流器結構之示意圖；
- 第 4 圖係本發明之第四實施例所提供之矽控整流器結構之示意圖；
- 第 5 圖係本發明之第五實施例所提供之矽控整流器結構之示意圖；及
- 第 6 圖係本發明之第六實施例所提供之矽控整流器結構之示意圖。

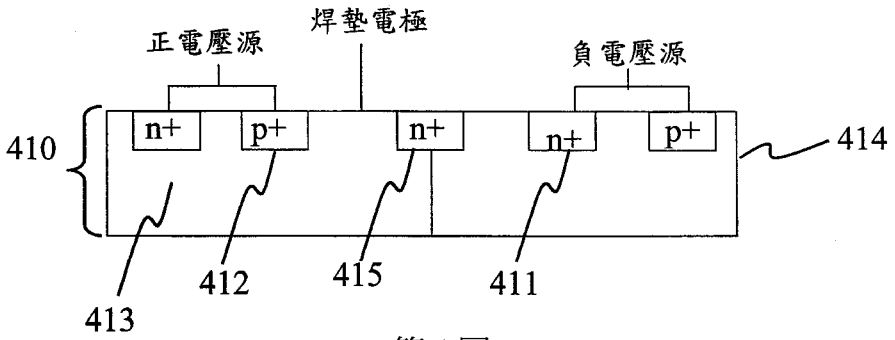


第 1A 圖

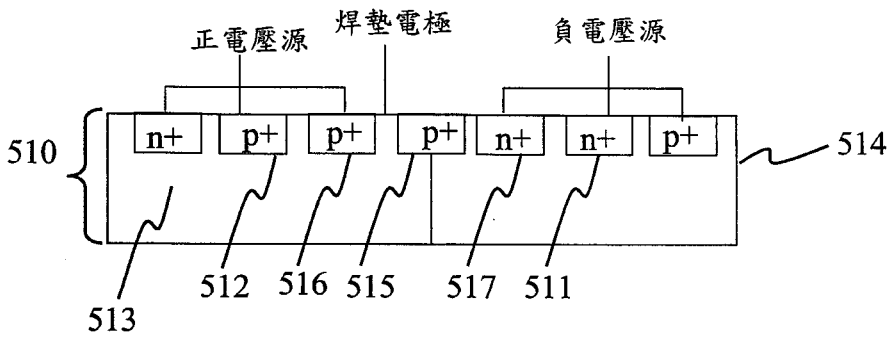
(3)



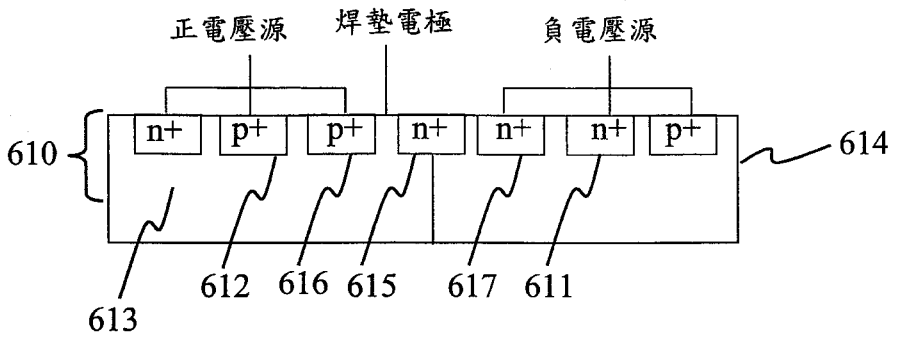
(4)



第 4 圖



第 5 圖



第 6 圖