

---

【54】名稱： 中空導線結構及其製作方法

【21】申請案號：093119703

【22】申請日：中華民國93(2004)年6月30日

【11】公開編號：200426481

【43】公開日：中華民國93(2004)年12月1日

【72】發明人：張連璧

【71】申請人：長庚大學 CHANG GUNG UNIVERSITY  
桃園縣龜山鄉文化一路259號

【74】代理人：

1

2

[57]申請專利範圍：

1.一種中空導線結構，至少包含：

一基板，  
基板上至少設有一道第一主導線及數段同軸的第一支導線，以及複數個交錯處；  
第一主導線與第一支導線上至少設有相互連通的第二支導線與第一主導線；  
藉此，組構成一低寄生電容、且操作速率佳的中空導線結構。

2.如申請專利範圍第1項所述之中空導線結構，其中，第一主導線與第二主導線係呈垂直地交叉排列。

3.一種中空導線結構，其主要係於一基板頂面至少包含有一道第一主導線及數段位於同軸、且彼此間隔的第一支導線，而第一主導線兩端與各第一支導線的頂面設有等高的串接導體，且於對應第一主導線的串接導體頂面形成數段位於同軸、且彼

此間隔的第二支導線，以及於對應各第一支導線的串接導體頂面形成跨越第一主導線的第二主導線；而形成數個上、下層導線在交叉處呈交錯互補的中空導線結構。

- 4.如申請專利範圍第3項所述之中空導線結構，其中，第一主導線與第二主導線係呈垂直地交叉排列。
- 5.如申請專利範圍第3或4項所述之中空導線結構，其中，第一主、支導線與第二主、支導線係由鋁金屬材質所製成。
- 6.如申請專利範圍第3或4項所述之中空導線結構，其中，第一主、支導線與第二主、支導線係由銅金屬材質所製成。
- 7.一種如申請專利範圍第1項所述之一種中空導線結構的製作方法，至少包括有鋪設金屬層、形成導線、塗設絕緣層、形成串接凹槽、形成串接導體、鋪設金屬層、形成導線及去除絕緣層等動作；其中：
  - A、鋪設金屬層，於一半導體基板的表面鍍上第一導電金屬層；
  - B、形成導線，將基板上的第一導電金屬層形成至少包含有一道第一主導線及數段位於同軸、且彼此受第一主導線穿經間隔的第一支導線；
  - C、塗設絕緣層，於基板表面塗覆一層覆蓋所有第一主導線與第一支導線絕緣層；
  - D、形成串接凹槽，於絕緣層表面對應第一主導線兩端與對應各段第二支導線之處分別形成凹陷狀的串接凹槽，再者對應第一主導線兩端的相對串接凹槽間形成有一隔塊，讓上層導線可形成間隔的中空部份；
  - E、形成串接導體，於各串接凹槽內形成具導電特性的串接導體；
  - F、鋪設金屬層，進一步於絕緣層表

面鍍上第二導電金屬層，其中第二導電金屬層可完全覆蓋各串接導體，並與串接導體形成穩固的接著；

5. G、形成導線，第二導電金屬層形成至少包含有一道第二主導線及數段位於同軸、且彼此受第二主導線穿經間隔的第二支導線，其中第二主導線適對應下方的第一支導線，而第二支導線適對應下方的第一主導線；
10. H、去除絕緣層，將所有絕緣層予以去除；藉此，形成一種數個上、下層導線在交叉處呈交錯互補的中空導線結構。
15. 8.如申請專利範圍第7項所述之製作方法，其中，第一、二金屬導電層係以化學等相沉積方式濺鍍。
20. 9.如申請專利範圍第7項所述之製作方法，其中，第一、二金屬導電層係以物理沉積方式濺鍍。
25. 10.如申請專利範圍第7項所述之製作方法，其中，第一主導線與第一支導線呈等高狀。
30. 11.如申請專利範圍第7項所述之製作方法，其中，其中第二主導線與第二支導線呈等高狀。
35. 12.如申請專利範圍第7或10或11項所述之中空導線結構，其中，第一主、支導線與第二主、支導線係由鋁金屬材質所製成。
40. 13.如申請專利範圍第7或10或11項所述之中空導線結構，其中，第一主、支導線與第二主、支導線係由銅金屬材質所製成。
- 14.如申請專利範圍第7項所述之製作方法，其中，該絕緣層的高度較第一主、支導線厚度為厚。
- 15.如申請專利範圍第7項所述之製作

方法，其中，絕緣層可為一般低介電係數、且絕緣性佳之ILD介電層。

- 16.如申請專利範圍第15項所述之製作方法，其中，絕緣層可以TEOS【Tetraethoxysilane,  $\text{Si}(\text{OC}_2\text{H}_5)_4$ 】製成。
- 17.如申請專利範圍第15項所述之製作方法，其中，絕緣層可為旋塗式玻璃法【Spin On Glass, SOG】之技術所形成。
- 18.如申請專利範圍第7項所述之製作方法，其中，串接導體可形成有凹陷狀的脫料槽，以供節省材料，且其頂面邊緣處亦形成有溢邊，一樣可利用CMP技術予以去除。

圖式簡單說明：

第一圖：係本發明鍍設第一導電

金屬層之示意圖。

第二圖：係本發明蝕刻第一導電金屬層之示意圖。

5. 第三圖：係本發明鍍設絕緣層之示意圖。

第四圖：係本發明於絕緣層上形成串接凹槽之示意圖。

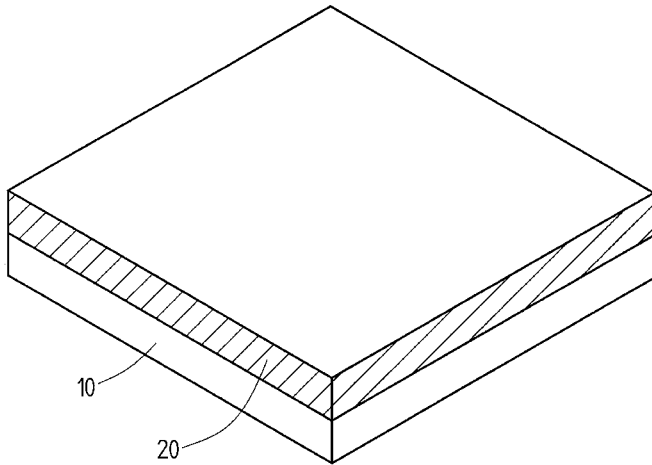
10. 第五圖：係本發明於串接凹槽中形成串接導體之示意圖，其中(A)為完成注滿狀(B)為脫料狀。

第六圖：係本發明鍍設第二導電金屬層之示意圖。

第七圖：係本發明預備蝕刻第二導電金屬層之示意圖。

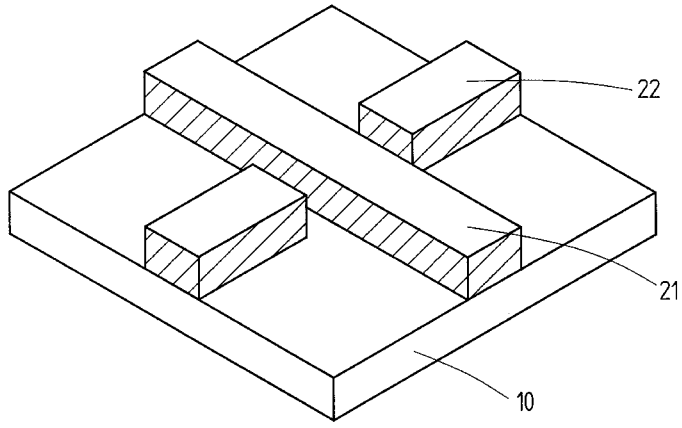
15. 第八圖：係本發明蝕刻第二導電金屬層後之示意圖。

第九圖：係本發明完成後之立體外觀示意圖。

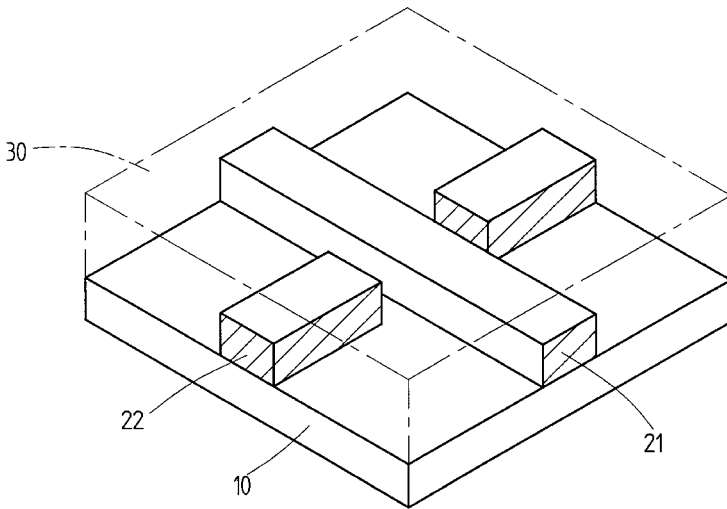


第一圖

(4)

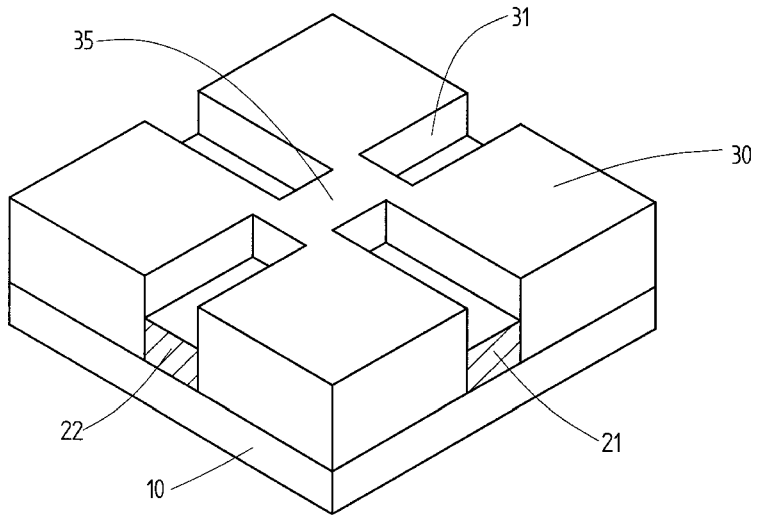


第二圖

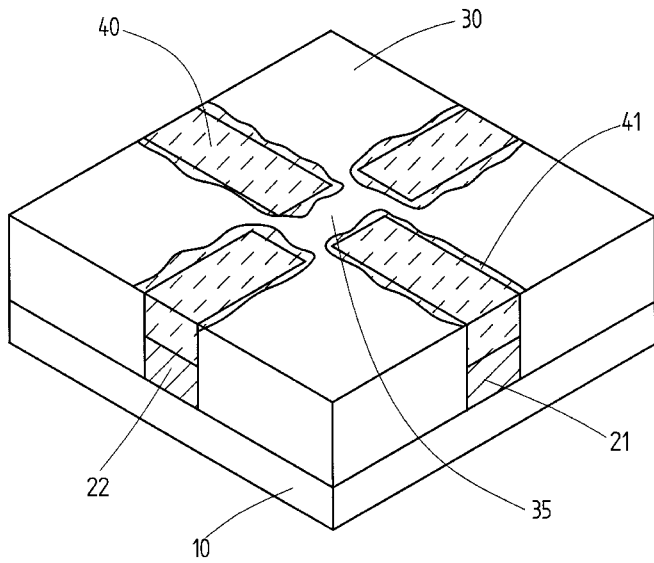


第三圖

(5)

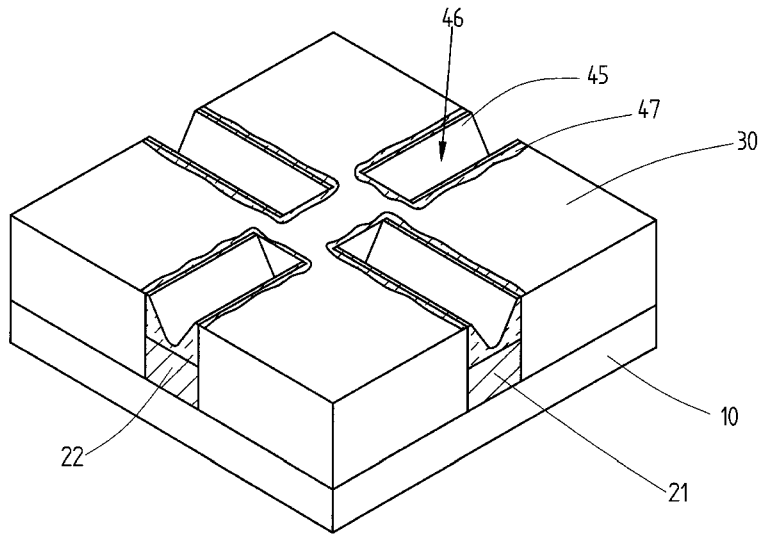


第四圖

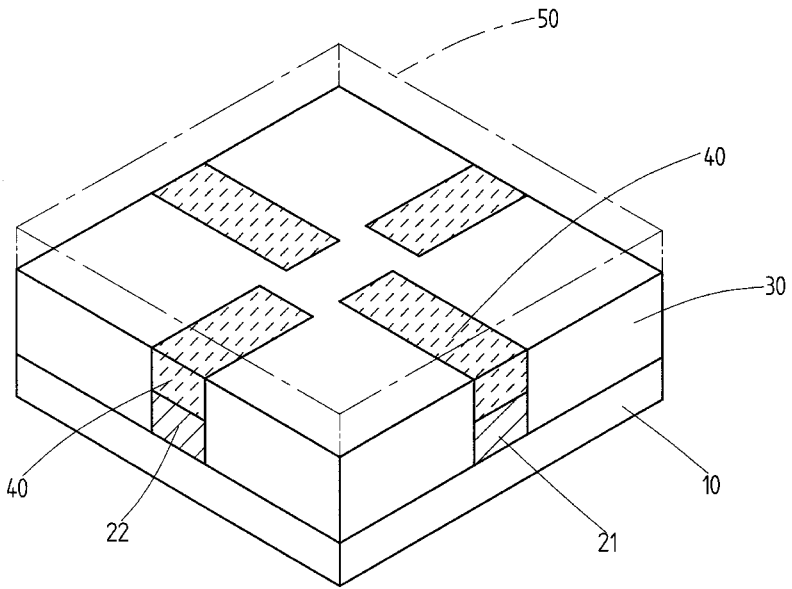


第五 A 圖

(6)

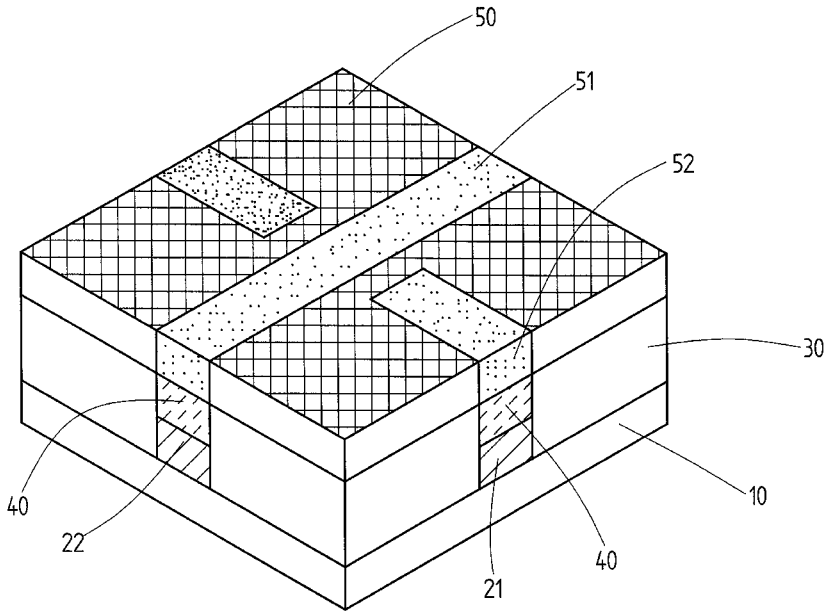


第五 B 圖

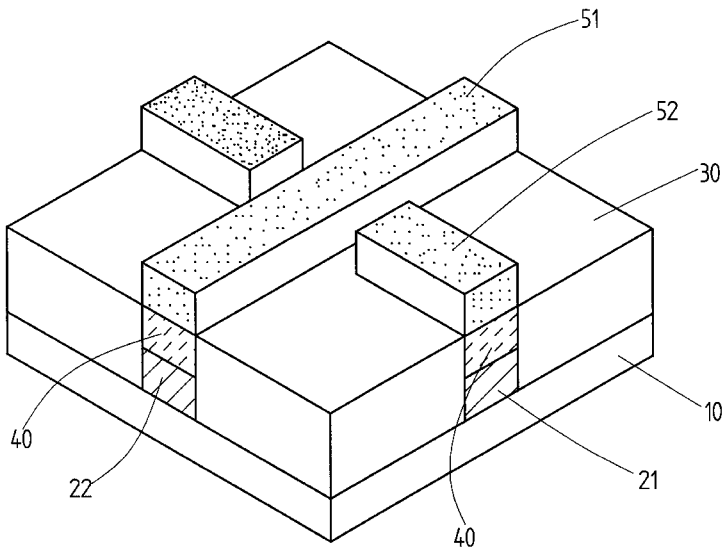


第六圖

(7)

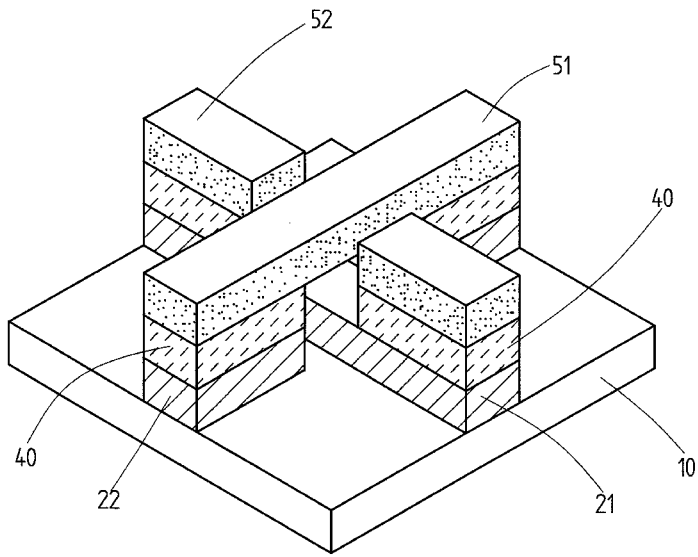


第七圖



第八圖

(8)



第九圖