



中華民國專利證書

發明第 I 276981 號

發明名稱：一種快速運算含電阻迴路之高速積體電路 RLC 互連線路系統動差之方法

專利權人：長庚大學

發明人：李恆哲、朱家齊、馮武雄、賴銘宏

專利權期間：自2007年3月21日至2024年6月7日止

上開發明業經專利權人依專利法之規定取得專利權

經濟部智慧財產局
局長

蔡練生



中華民國

96

年

月

21

日

注意：專利權人未依法繳納年費者，其專利權自原繳費期限屆滿之次日起消滅。

【11】證書號數：I276981

【45】公告日：中華民國96(2007)年3月21日

【51】Int. Cl. : **G06F17/50 (2006.01)**

發明 全 8 頁

【54】名稱：一種快速運算含電阻迴路之高速積體電路RLC互連線路系統動差之方法
METHOD OF MOMENT COMPUTATION IN RLC INTERCONNECTS OF HIGH SPEED VLSI
WITH RESISTOR LOOP

【21】申請案號：093116448

【22】申請日：中華民國93(2004)年6月8日

【11】公開編號：200426633

【43】公開日：中華民國93(2004)年12月1日

【72】發明人：李恆哲 LEE, HERNG JER；朱家齊 CHU, CHIA CHI；馮武雄 FENG, WU SHIUNG；
賴銘宏 LAI, MING HONG

【71】申請人：長庚大學 CHANG GUNG UNIVERSITY
桃園縣龜山鄉文化一路259號

【74】代理人：

1

2

[57]申請專利範圍：

1.一種快速運算含電阻迴路之高速積體電路RLC互連線路系統動差之方法，當互連線路包含電阻鏈路架構時，其線路中第k階電壓動差為：

$$V_{j,k} = V_{j,k}^{(r)} - \frac{V_{oc}}{R_{link} + R_{th}} \cdot V_j^{(L)} \quad \text{for } n_j \in N ; \quad 5.$$

其中，

n_j 表示電路模型中第j個節點；

N表示電路模型中所有節點之集合；

$V_{j,k}^{(r)}$ 表示電路分割出生成樹部份，所

貢獻 n_j 節點之第k階電壓動差；

$V_j^{(L)}$ 表示電路分割出電阻鏈路部份，所貢獻 n_j 節點之電壓動差，其數值並不隨階數而變更；

V_{oc} 表示電阻鏈路所連結之兩端，在電阻鏈路 R_{link} 開路時之電壓差；

R_{th} 表示將所有電壓源、電流源設為0後，再在 R_{link} 置換為一安培之電流源時，在 R_{link} 兩端所觀察到之戴維寧

等效電阻值；

V_{jk} 為電路中節點 n_j 上之第 k 階電壓動差；

而其處理多重電阻鏈路之問題，乃應用循序二元決定圖，分別求解及儲存電路進行電阻迴路開路及電路進行戴維寧等效電路化簡步驟之系統動差；其中，

『O』表示將電路中電阻鏈路 R_{link} 開路，以計算電路中各節點之動差；

『T』表示將電路以戴維寧等效電路取代，由 R_{link} 兩端觀察其戴維寧等效電壓。

2. 如申請專利範圍第 1 項所述之一種快速運算含電阻迴路之高速積體電路 RLC 互連線路系統動差之方法，其中，其循序二元決定圖可進一步化簡為簡化循序二元決定圖，以減少其運算複雜度；其中，位於同一層且最後一步驟為戴維寧等效電路化簡(即 X.X...X.T，其中 X 代表 O 或 T)之電路架構均相同；而位於同一層且最後一步驟為電阻鏈路開路(如 O.T.O 與 T.O.O)之電路，其電路架構相似，其相異點僅在於電源驅動位置不同。
3. 如申請專利範圍第 2 項所述之一種快速運算含電阻迴路之高速積體電路 RLC 互連線路系統動差之方法，其中，可將該循序二元決定圖更進一

步化簡，本演算法僅需儲存 O.O...O.T、O...O.T、...、O.O.T、O.T、T 之系統動差，以重疊原理更新 O.O...O.O、O...O.O、...、O.O.O、

5. O.O、O 電路之系統動差；其中，O.O...O.T 表示針對原始電路中各個電阻鏈路 R_{link} ，一一進行開路計算，並於最後一個電阻鏈路 R_{link} 進行戴維寧等效電路計算，以求得各個節點上之系統動差。
- 10.

圖式簡單說明：

第一圖係為習用技術中計算耦合 RLC 樹狀模型系統動差之流程圖。

15. 第二圖係為本發明施行本發明之演算工具的輸出輸入方塊圖。

第三圖係為本發明包含電阻鏈路之 RLC 樹狀電路模型。

20. 第四圖係為本發明運算電阻鏈路之開路電壓及戴維寧等效電壓之第 k 階電路模型。

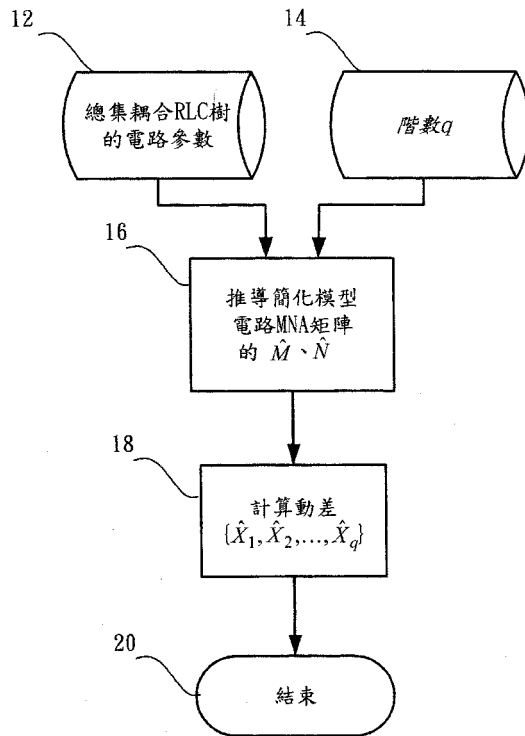
第五圖係為本發明運算包含單一電阻鏈路之電路系統動差之流程圖。

第六圖係為本發明運算包含多重電阻鏈路之電路系統動差之流程圖。

25. 第七圖係為本發明建構簡化循序二元決定圖之示意圖。

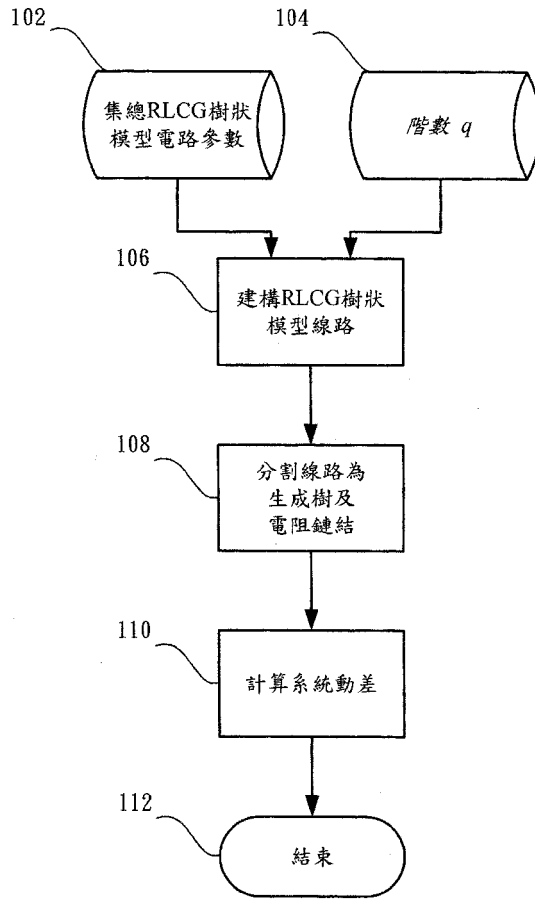
第八圖係為本發明中具有三條電阻鏈路的電路模型，可驗證所提出演算法之正確性。

(3)



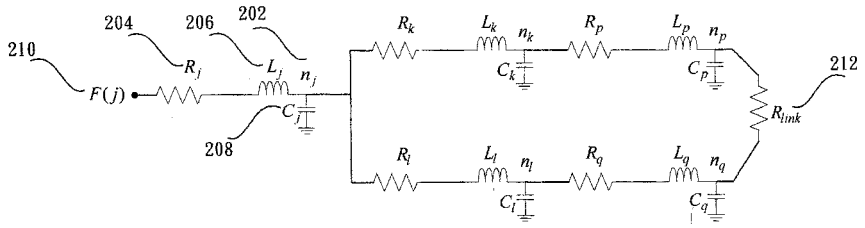
第一圖

(4)

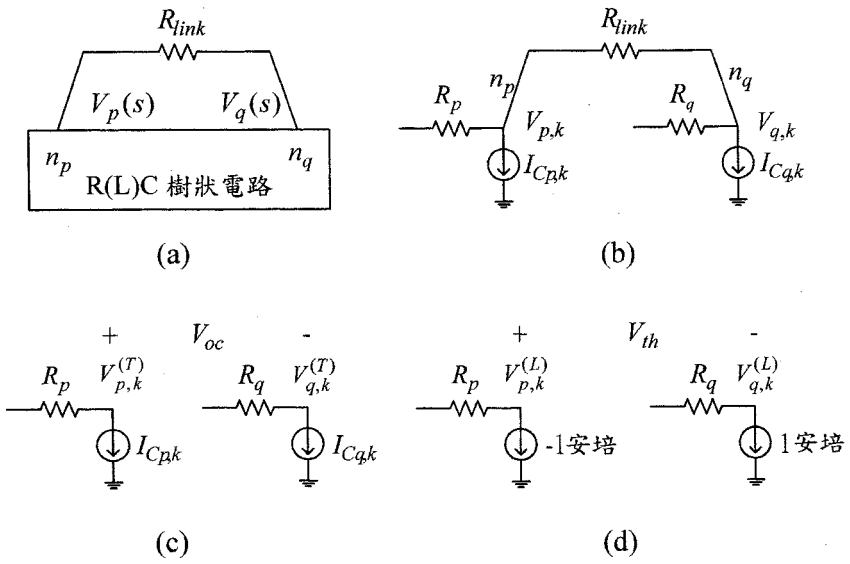


第二圖

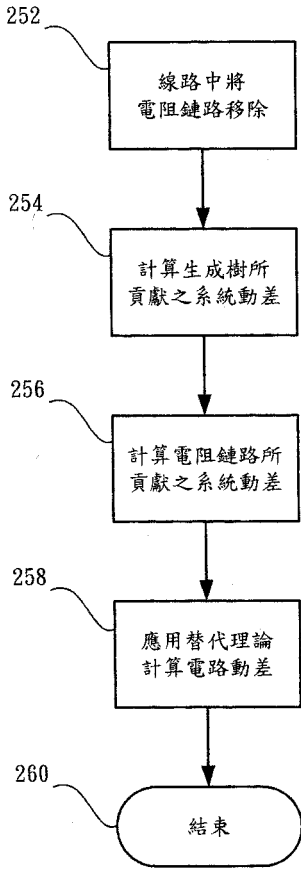
(5)



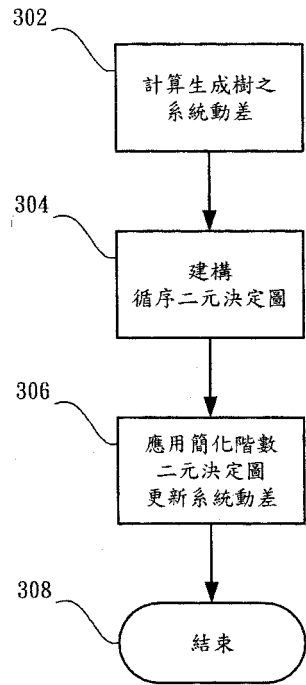
第三圖



第四圖

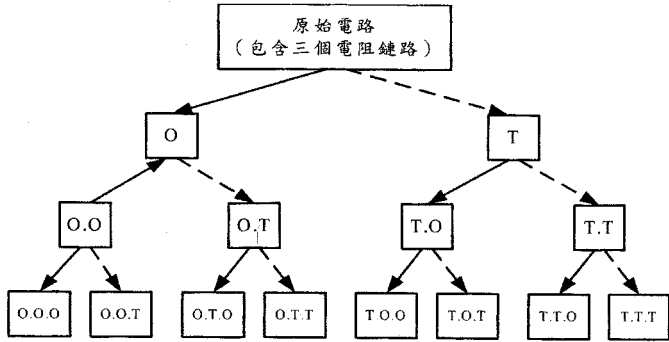


第五圖

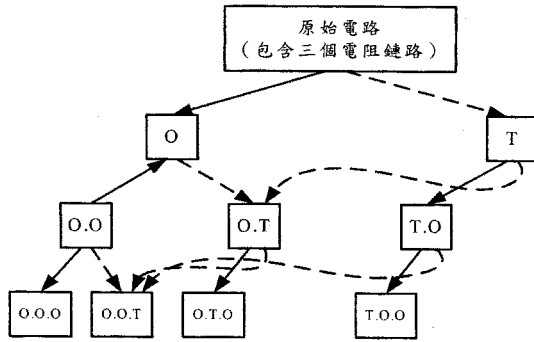


第六圖

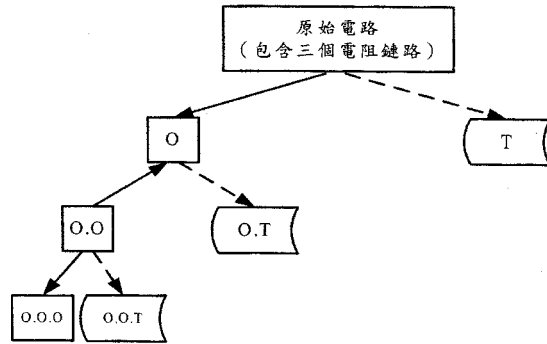
(7)



(1)



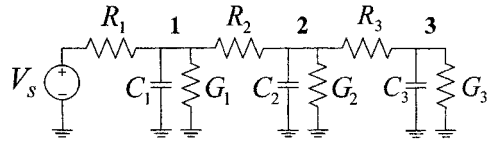
(2)



(3)

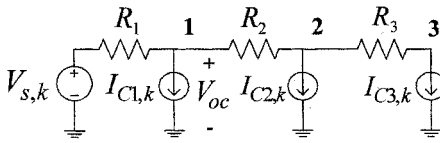
第七圖

(8)

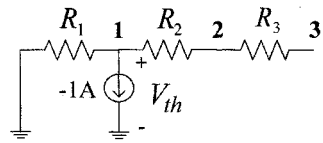


(a)

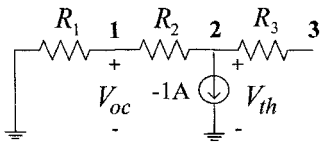
O.O.O



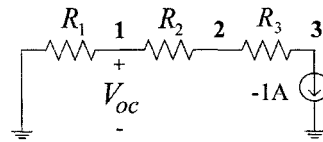
O.O.T



O.T.O



T.O.O



(b)

1、2、3 為節點編號

第八圖